

(1) Korean Patent Application Laid-Open No. 2001-0058664 "Etching Method of Thin Film to Prevent Occurrence of Rough Surface "

The following is English translation of an extract from the above-identified document relevant to the present application.

The present invention relates to an etching method of a thin film to prevent the occurrence of a rough surface. According to the etching method of a thin film of the present invention, a thin film is first etched by a reactive dry etching. Then, in order to remove a rough surface that is caused on the thin film by being etched by the reactive dry etching, the upper surface of a resultant product of etching is further etched by physical dry etching.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/3065

(11) 공개번호 특2001-0058664
(43) 공개일자 2001년07월06일

(21) 출원번호 10-1999-0066018
(22) 출원일자 1999년12월30일

(71) 출원인 삼성전자 주식회사
윤종용
경기 수원시 팔달구 매탄3동 416

(72) 발명자 남상돈
경기도용인시기흥읍농서리산24
김진원
서울특별시서초구서초동1334번지신동아아파트7동1113호

(74) 대리인 이영필
정상빈
곽덕영

심사청구 : 없음

(54) 표면 거칠기의 발생을 방지하는 박막 식각방법

요약

본 발명은 박막을 식각하는 방법에 대한 것으로서, 상세하게는 표면 거칠기의 발생을 방지하는 박막 식각방법에 관한 것이다. 본 발명에 따른 박막 식각방법은, 먼저 박막을 반응성 건식식각 방법에 의하여 건식식각 한다. 그런 다음, 반응성 건식식각 방법에 의해 식각됨으로써 박막 상에 유발된 표면 거칠기를 제거하기 위해 식각 결과물의 상부표면을 물리적 건식식각 방법에 의하여 추가로 건식식각 한다.

대표도
도 4

명세서

도면의 간단한 설명

도 1 및 도 2는 종래 기술에 따른 박막 식각방법의 문제점을 설명하기 위한 공정 단면도들이다.

도 3은 본 발명에 따른 박막 식각방법의 제 1 실시예를 도시한 공정 단면도이다.

도 4는 도 3의 1부분을 확대한 부분 확대도이다.

도 5는 본 발명에 따른 박막 식각방법의 제 2 실시예를 도시한 공정 단면도이다.

도 6 내지 도 10은 본 발명에 따른 박막 식각방법의 제 3 실시예를 설명하기 위한 공정 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 대한 것으로서, 상세하게는 표면 거칠기의 발생을 방지할 수 있는 박막 식각방법에 대한 것이다.

반도체 소자의 제조에 있어서, 반도체 기판의 전면에 형성된 박막을 식각하여 원하는 패턴을 형성하는 공정은 반도체 소자의 제조에 있어서 핵심 공정 중에 하나라고 할 수 있다. 일반적으로 반도체 소자의 제조에 사용되는 식각방법은 이방성 식각특성이 우수한 건식식각 방법과 등방성 식각특성이 우수한 습식식각 방법으로 크게 구분되며, 특히 상기 건식식각 방법은 반도체 기판의 전면에 수직의 측벽 프로파일을 갖는 패턴을 형성할 때 주로 사용된다. 그런데, 건식식각 방법 중에서 화학적 메카니즘에 의하여 피식각 물질막(식각공정이 진행되는 과정에서 제거되는 물질막을 칭함)을 제거하는 건식식각 방법은 식각결과물 상에 표면 거칠기(surface roughness)를 유발하는 문제가 있다. 따라서, 이하에서는 화학적 메카니즘에 의하여 피식각 물질막을 선택적으로 식각하는 반응성 이온식각 방법에 의하여 금속막을 식각할 때 식각 결과물 상에 발생하는 표면 거칠기 문제를 첨부한 도면을 참조하여 상세하게 설명한다.

도 1을 참조하면, 반도체 기판(미도시)의 전면에 형성된 금속박막(100), 예컨대 알루미늄 박막이 반응성 이온식각 방법에 의하여 식각되고 있다. 여기에서, 화살표는 반응성 이온식각 장비의 반응챔버 내에 유발된 플라즈마에 의하여 이온화되어, 강한 전장에 의해 반도체 기판의 전면으로 가속되는 식각가스를 나타낸다. 강한 전장에 의하여 가속된 이온화된 식각가스는 금속박막(100)의 전면을 강하게 충격하여 금속박막(100)의 표면 원자와 화학적으로 반응하여 휘발성 물질로 변화된 다음, 반응성 이온식각 장치의 배출구를 통하여 외부로 펌핑된다. 이러한 메카니즘에 의하여 금속박막(100) 전면이 식각되기 때문에, 식각 결과물 상에는 도 1에 도시되어 있는 바와 같이 표면 거칠기가 발생하게 된다. 그런데, 후속공정에서 표면 거칠기가 발생된 금속박막(100) 상에 실리콘 산화막과 같은 층간절연막이 형성될 경우에는 크게 문제될 것은 없지만, 표면 거칠기가 발생된 금속박막(100) 상에 BST막 또는 PZT막과 같은 강유전체막이 형성될 경우에는 상기 금속박막(100)과 강유전체막 사이의 계면특성이 열화되는 문제가 발생하게 된다. 즉, 금속박막(100)이 캐패시터의 하부전극을 구성하고 강유전체막이 캐패시터 유전막을 구성하게 되면, 캐패시터 동작을 위하여 전압이 인가될 때, 표면 거칠기가 발생된 부분에서 전장이 강화되어 캐패시터의 누설전류가 증가되는 문제가 발생한다.

도 2를 참조하면, 상기 도 1에서는 식각 마스크 패턴을 사용하지 않고 금속박막(100)을 식각하는 경우를 도시하고 있으나, 도 2에서는 식각 마스크 패턴(120)을 사용하여 금속박막(100')을 식각하는 경우를 도시하고 있다. 반도체 기판의 전면에는 실리콘 산화막으로 이루어진 층간절연막(110)이 형성되어 있고, 상기 층간절연막(110) 상에는 금속박막(100')이 형성되어 있다. 그리고, 금속박막(100') 상에는 금속박막(100')을 패터닝하기 위한 식각 마스크 패턴(120)이 형성되어 있다.

구체적으로, 식각 반응챔버 내에 유기된 플라즈마에 의하여 이온화된 후, 강한 전장에 의하여 가속화된 식각가스가 화살표로 도시되어 있다. 그런데, 식각 마스크 패턴(120)을 사용하여 식각공정이 진행되기 때문에, 금속박막(100')의 상부표면에는 표면 거칠기가 유발되지 않는다. 하지만, 반응성 이온식각 공정에 의하여 금속박막(100') 내에 형성되는 개구(130)의 측벽 및 저부에 표면 거칠기가 발생하게 된다.

상기와 같이, 식각마스크 패턴(120)을 이용하는 반응성 이온식각 방법을 사용하여 금속박막(100')을 패터닝하는 경우에는, 개구(130)의 저부뿐만 아니라 개구(130)의 측벽에도 표면 거칠기가 발생하게 된다. 식각 마스크 패턴(120)을 이용하는 반응성 이온식각 방법을 사용할 경우에, 개구(130)의 내부에 표면 거칠기가 발생하는 메카니즘은 도 1을 참조하여 금속박막(100)의 전면을 반응성 이온식각 방법을 사용하여 식각할 경우 식각 결과물 상에 표면 거칠기가 발생하는 이유와 실질적으로 동일하다. 또한, 개구(130)의 내부에 표면 거칠기가 발생됨으로써 유발될 수 있는 문제점은, 도 1을 참조하여 설명된 바 있는 금속박막(100) 전면에 표면 거칠기 발생됨으로써 유발될 수 있는 문제점과 실질적으로 동일하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 식각 결과물 상에 표면 거칠기가 발생하는 것을 방지할 수 있는 개선된 박막 식각방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 박막 식각방법은, 먼저 박막을 반응성 건식식각 방법에 의하여 건식식각한다. 그런 다음, 반응성 건식식각 방법에 의하여 식각된 박막 상에 발생된 표면 거칠기를 제거하기 위해 물리적 건식식각 방법에 의하여 상기 식각된 박막을 추가로 건식식각한다.

상기 박막은 루세늄(Ru)을 포함하는 박막일 수 있다. 예를 들어, 상기 박막은 루세늄(Ru)막, 루세늄 산화막(RuO_2), SRO(Strontium Ruthenium Oxide)막, BSRO(Barium Strontium Ruthenium Oxide)막 또는 이들의 조합막일 수 있다.

상기 박막을 반응성 건식식각 방법에 의하여 건식식각하는 단계는 O_2 가스가 식각가스로 포함된 분위기하에서 수행하는 것이 바람직하다.

상기 박막을 물리적 방식의 건식식각 방법에 의하여 식각하는 단계는 Ar가스가 식각가스로 포함된 분위기하에서 수행하는 것이 바람직하다.

본 발명에 따른 박막 식각방법이 반도체 메모리 소자의 노드분리 공정에 적용될 경우에는 다음과 같은 공정단계들이 진행될 수 있다.

먼저, 반도체 기판 상에 형성된 불순물 주입영역을 노출시키는 콘택홀을 구비한 층간절연막 패턴을 반도체 기판 상에 형성한다. 그런 다음, 상기 콘택홀 내에 도전성 물질을 채워 상기 불순물 주입영역을 콘택하는 도전성 플러그를 형성한다. 그리고 나서, 상기 층간절연막 패턴 상에 상기 도전성 플러그를 노출시키는 개구를 구비한 몰드산화막 패턴을 형성하고, 상기 개구의 측벽과 바닥면 및 상기 몰드산화막 패턴 상에 캐패시터 하부전극용 도전성 박막을 형성한다. 그 이후에, 상기 도전성 박막이 형성된 개구 내에 상기 몰드산화막 패턴의 상부표면과 실질적으로 동일한 레벨로 리세스된 희생산화막을 형성하고, 반응성 건식식각 방법에 의하여 상기 몰드산화막 패턴 상에 형성된 도전성 박막을 제거함으로써 도전성 박막을 반도체 메모리 소자의 단위셀별로 분리한다. 그런 다음, 반응성 건식식각 방법을 사용하여 상기 도전성 박막을 단위셀별로 분리하는 과정에서 유발된 표면 거칠기를 제거하기 위하여 물리적 방식의 건식식각 방법을 사용하여 반도체 기판의 전면을 추가로 식각한다. 여기에서, 상기 도전성 박막은 Ru를 포함한 도전성 박막으로, 바람직하게는 Ru막, RuO_2 막, SRO막 또는 BSRO막일 수 있다. 그리고, 상기 반응성 건식식각 방법을 사용한 식각공정은 O_2 가스가 포함된 분위기하에서 수행되는 것이 바람직하고, 상기 물리적 방식의 건식식각 방법을 사용한 식각공정은 Ar가스가 포함된 분위기하에서 수행되는 것이 바람직하다.

이하에서는 첨부한 도면을 참조하여 본 발명에 따른 표면 거칠기의 발생을 방지할 수 있는 박막 식각방법의 바람직한 실시예를 상세하게 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되어서는 안 된다. 본 발명의 실시예들은 본 발명이 속한 기술분야에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 도면상에서 층이나 영역들의 두께는 설명의 명확성을 위하여 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다. 또한, 어떤 층이 다른 층 또는 기판의 상부에 있다고 기재한 경우 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제 3의 층이 개재되어질 수 있다.

제 1 실시예

도 3을 참조하면, 본 발명의 제 1 실시예에 따른 박막 식각방법은, 먼저 반도체 기판 상에 형성된 박막(200), 예컨대 절연성 박막 또는 도전성 박막의 전면을 화학적 방식에 의한 건식식각 방법을 사용하여 식각한다. 예를 들어, 반응성 이온식각(Reactive Ion Etching, 이하 'RIE')방법 또는 자기강화 반응성 이온식각(Magnetic Enhanced Reactive Ion Etching, 이하 'MERIE')방법을 사용하여 박막(200)의 전면을 식각한다. 박막(200)이 실리콘막인 경우에는 CF_4 가스 + O_2 가스, CF_2Cl_2 가스, CF_3Cl 가스, SF_6 가스 + O_2 가스 + Cl_2 가스, Cl_2 가스 + H_2 가스 + C_2F_6 가스 + CCl_4 가스 또는 C_2ClF_5 가스 + O_2 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 박막(200)이 실리콘 산화막인 경우에는 CF_4 가스 + H_2 가스, C_2F_6 가스, C_3F_8 가스 또는 CHF_3 가스 + O_2 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 박막(200)이 실리콘 질화막인 경우에는 CF_4 가스 + O_2 가스 + H_2 가스, C_2F_6 가스, C_3F_8 가스 또는 CHF_3 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 박막(200)이 알루미늄막인 경우에는 BCl_3 가스, BCl_3 가스 + Cl_2 가스, CCl_4 가스 + Cl_2 가스, CCl_4 가스 + Cl_2 가스 + BCl_3 가스 또는 $SiCl_4$ 가스 + Cl_2 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 박막(200)이 고용점 금속(refractory)의 실리사이드막인 경우에는 CF_4 가스 + O_2 가스, NF_3 가스 + H_2 가스 또는 SF_6 가스 + O_2 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 박막(200)이 고용점 금속인 경우에는 CF_4 가스 + O_2 가스, NF_3 가스 + H_2 가스 또는 SF_6 가스 + O_2 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 박막(200)이 갈륨 아세나이드막인 경우에는 BCl_3 가스 + Ar 가스, Cl_2 가스 + O_2 가스 + H_2 가스, CCl_2F_2 가스 + O_2 가스 + Ar 가스 + He 가스, H_2 가스, CH_4 가스 + H_2 가스 또는 $CClH_2$ 가스 + H_2 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 박막(200)이 인듐 인화막(InP)인 경우에는 CH_4 가스 + H_2 가스, C_2H_6 가스 + H_2 가스 또는 Cl_2 가스 + Ar 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 박막(200)이 금막인 경우에는 $C_2Cl_2F_4$ 가스, Cl_2 가스 또는 $CClF_3$ 가스를 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 상기 박막(200)이 Ru막, RuO_2 막, SRO막 또는 BSRO막과 같은 Ru를 포함하는 도전성 박막인 경우에는 Cl_2 + O_2 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 상기 박막(200)이 텅스텐막, 텅스텐 실리사이드막 또는 몰리브덴막인 경우에는 CF_4 가스, CF_4 가스 + O_2 가스, C_2F_6 가스 또는 SF_6 가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 상기 박막(200)의 전면을 식각할 수 있다. 상기에서는 반도체 소자의 제조시 사용될 수 물질막에 따라서 이용될 수 있는 식각가스를 나열하였다. 하지만, 상기에서 나열한 물질막만이 반도체 소자의 제조에 사용될 수 있는 것이 아님은 물론이다.

상기와 같이 화학적 방식에 의한 건식식각 방법을 사용하여 박막의 전면(200)을 건식식각하게 되면, 식각 결과물의 전면에서 표면 거칠기(점선 참조)가 발생하게 된다. 왜냐하면, 상기 RIE방법 또는 MERIE방법과 같은 건식식각 방법은, 식각 반응챔버 내에 유발된 플라스마에 의해 이온화되고 강한 전장에 의해 가속된 반응성 식각가스를 박막(200)의 전면에서 충격함으로써, 박막(200) 전면의 원자와 반응성 식각가스와 화학적 반응을 통해 박막(200)의 전면을 식각하기 때문이다.

그런데, 식각 결과물 상에 유발된 표면 거칠기를 제거하지 않고 후속공정에서 박막(200)의 상부에 다른 물질막을 형성하게 되면 문제가 생길 수 있다. 예를 들어, 상기 박막(200)이 반도체 메모리 소자의 캐패시터 하부전극을 구성할 경우, 후속공정에서는 상기 박막(200) 상에 캐패시터 유전막이 형성된다. 그런데, 화학적 방식에 의한 건식식각 방법에 의하여 식각된 박막 상의 표면 거칠기에 바로 캐패시터 유전막을 형성하게 되면, 캐패시터 유전막과 표면 거칠기가 유발된 박막(200) 사이의 계면 특성이 열화된다. 따라서, 반도체 메모리 소자의 캐패시터를 동작시키기 위하여 전압을 인가하게 되면, 표면 거칠기가 발생된 부분에서 전장이 강화되어 캐패시터의 누설전류가 증가하게 되는 문제가 발생한다.

따라서, 본 발명의 제 1 실시예에 따른 박막 식각방법에서는 화학적 방식에 의한 건식식각 방법을 사용하여 박막(200)의 전면을 식각한 후 물리적 방식의 건식식각 방법을 사용하여 추가로 식각공정을 진행하게 된다. 이처럼, 물리적 방식의 건식식각 방법을 사용하여 표면 거칠기가 유발된 박막(200)의 전면을 추가로 식각하게 되면, 박막(200) 전면의 표면 거칠기가 제거되어 박막(200) 상부표면의 프로파일이 점선에서 실선으로 변화하게 된다(화살표 참조). 다시 말해, 표면 거칠기가 발생되었던 박막(200)의 상부표면이 매끄러워지는 것이다.

상기와 같이, 물리적 방식의 건식식각 방법을 사용하여 박막(200) 전면을 추가로 식각함으로써 표면 거칠기가 제거되는 과정은, 도 3의 I부분을 확대하여 도시한 도 4를 참조하면 보다 명확해질 것이다.

도 4를 참조하면, 물리적 방식의 식각방법은 화학적 방식에 의한 건식식각 방법과는 달리 식각 반응챔버 내에 유발된 플라즈마에 의해 이온화된 스퍼터링 가스(화살표 참조)를 강한 전장으로 박막(200)의 전면으로 가속하여 스퍼터링 방식에 의하여 박막(200) 전면의 물질을 물리적으로 제거한다. 따라서, 화학적 방식에 의한 건식식각 방법은 피식각 물질막에 대해 선택성이 있는 데 반하여, 물리적 방식에 의한 건식식각 방법은 피식각 물질막에 대해 선택성이 없는 것이 일반적이다. 또한, 물리적 방식에 의한 식각방법을 사용하여 박막(200)을 식각할 경우에는 박막(200)의 식각량이 박막(200)의 전면에 걸쳐 균일한 것이 아니라, 박막(200)의 수직방향(A)보다 45도 방향(B)에서 식각량이 큰 특성이 있다. 따라서, 물리적 방식에 의한 건식식각 방법을 사용하여 표면 거칠기가 발생된 박막(200)의 전면을 추가로 식각해주면, 박막(200) 상에 발생된 표면 거칠기를 제거할 수 있게 된다. 다시 말해, 표면 거칠기가 제거됨으로써, 박막 전면의 프로파일이 점선에서 실선으로 변화되어 박막(200)의 상부표면이 매끄럽게 변화되는 것이다. 따라서, 후속공정에서 박막(200) 상에 다른 물질막을 형성하더라도, 표면 거칠기에 의한 계면 특성의 열화문제를 해결할 수 있게 된다.

한편, 물리적 방식에 의한 건식식각 방법은 피식각 물질막에 따른 식각가스 의존성이 화학적 방식에 의한 건식식각 방법에 비해 크지 않은 것이 일반적이다. 따라서, 박막(200) 상의 표면 거칠기를 제거하기 위해서는 Ar^+ 이온을 스퍼터링 가스로 사용하는 물리적 방식의 건식식각 방법을 사용할 수 있다. 예를 들어, Ar 가스와 Cl_2 가스를 식각가스로 사용하는 물리적 방식의 건식식각 방법을 사용하여 표면 거칠기를 제거할 수 있다. 하지만, 박막(200) 상의 표면 거칠기를 제거하기 위한 물리적 방식에 의한 건식식각 방법에 사용되는 식각가스가 Ar 가스+ Cl_2 가스로 한정되지 아니함은 물론이다.

제 2 실시예

도 5를 참조하면, 본 발명의 제 2 실시예에 따른 박막 식각방법은 식각마스크 패턴을 사용하여 박막을 식각하게 된다. 즉, 먼저 반도체 기판(미도시)의 전면에 형성된 소정의 물질막, 예컨대 실리콘 산화막으로 된 층간절연막(210) 상에 박막(200')을 형성하고, 박막(200')을 패터닝하기 위해 식각마스크 패턴(220)을 형성한다. 그리고 나서, 식각마스크 패턴(220)을 식각마스크로 이용하는 화학적 방식의 건식식각 방법을 사용하여 박막(200')을 식각함으로써, 박막(200') 내에 개구(230)를 형성한다.

상기와 같이 박막(200')을 식각하게 되면, 개구(230)의 측벽 및 바닥면에 표면 거칠기가 유발된다. 표면 거칠기가 개구(230)의 측벽 및 바닥면에 유발되는 이유는 본 발명의 제 1 실시예에서 설명한 것과 실질적으로 동일하다. 또한, 상기 개구(230)를 박막 내에 형성하기 위하여 사용할 수 있는 화학적 방식의 건식식각 방법은 본 발명의 제 1 실시예의 경우와 동일하다. 그리고, 상기 박막(200')을 구성할 수 있는 물질막의 종류 및 각각의 물질막에 따라 사용할 수 있는 식각가스도 본 발명의 제 1 실시예의 경우와 동일하다.

상기 제 1 실시예의 경우와 마찬가지로 본 발명의 제 2 실시예에 따른 박막 식각방법도 물리적 방식에 의한 건식식각 방법을 사용하여 개구(230)의 측벽 및 바닥면에 유발된 표면 거칠기를 제거하기 위한 공정을 추가로 수행한다. 다시 말해, 물리적 방식의 건식식각 공정을 추가로 진행하여 개구(230)의 측벽 및 바닥면에 유발된 표면 거칠기를 제거한다. 이 때, 상기 물리적 방식의 건식식각 방법을 사용하여 추가로 진행하는 식각공정은 식각 마스크 패턴(220)을 제거하지 않은 상태에서 진행할 수도 있고, 식각 마스크 패턴(220)을 제거하고 나서 진행할 수도 있다. 하지만, 상기 식각 마스크 패턴(22)이 유기물질을 포함한 감광막 패턴인 경우에는, O_2 플라즈마를 이용하는 에싱공정을 진행하여 감광막 패턴을 제거하고 물리적 방식의 건식식각 공정을 진행하는 것이 바람직하다. 왜냐하면, 식각 마스크 패턴(220)이 감광막 패턴인 경우, 이를 제거하지 않고 물리적 방식의 건식식각 공정을 진행하게 되면, 유기물질이 개구(230)의 측벽 및 바닥면에 축적되기 때문이다.

그리고, 물리적 방식의 건식식각 방법에 의한 공정 수행으로 개구(230) 내부에 유발된 표면 거칠기가 제거되는 메카니즘 및 사용할 수 있는 식각가스는 본 발명의 제 1 실시예의 경우와 동일하다.

제 3 실시예

이하에서는 도 6 내지 도 9를 참조하여 본 발명에 따른 박막 식각방법이 반도체 메모리 소자의 캐패시터 제조공정에 적용된 경우를 본 발명의 제 3 실시예로서 설명한다. 본 발명의 제 3 실시예에서는 반도체 메모리 소자의 캐패시터를 콘케이브형(concave type)으로 형성하는 경우를 예를 들어 설명하지만, 다른 3차원적 구조(예컨대, 크라운형, 스택형, 박스형 등)를 가지는 캐패시터의 제조공정에도 본 발명에 따른 박막 식각방법이 적용될 수 있음은 물론이다.

도 6을 참조하면, 반도체 기판(240) 상에는 소자분리막(250)과 소오스 영역(260), 드레인 영역(270) 및 게이트 전극(280)을 구비한 전계효과 트랜지스터가 형성되어 있다. 게이트 전극(280)과 반도체 기판(240) 사이에는 게이트 산화막(290)이 게재되어 있고, 게이트 전극(280) 및 게이트 산화막(290)의 측벽에는 스페이서(300)가 형성되어 있다. 상기와 같은 막구조물이 형성된 반도체 기판(240)의 상부에 반도체 메모리 소자의 캐패시터를 형성하는 공정이 진행된다.

먼저, 중간절연막(310)을 반도체 기판(240)의 전면에 형성한 후, 반도체 기판(240) 상에 형성된 불순물 주입영역, 예컨대 소오스 영역(260)을 노출시키는 콘택홀(320)을 상기 중간절연막(310) 내에 형성한다. 상기 중간절연막(310)은 BPSG(BoroPhosphoSilicate Glass)막, BSG(BoroSilicate Glass)막, PSG(PhosphoSilicate Glass)막, TEOS(TetraEthlyOrthoSilicate Glass)막, 오존 TOES막 또는 PE(Plasma Enhanced)-TEOS막일 수 있다. 그런 다음, 상기 콘택홀(320)에 도전성 물질을 매립하여 반도체 기판(240) 상의 소오스 영역(260)을 콘택하는 도전성 플러그(330)를 형성한다. 상기 도전성 플러그(330)는 불순물이 도핑된 폴리실리콘으로 형성할 수 있다.

계속해서, 중간절연막(310) 상에 몰드산화막(340)을 형성하고, 사전 식각공정을 통하여 몰드산화막(340) 내에 개구(350)를 형성한다. 몰드산화막(340)은 BPSG막, BSG막, PSG막, TEOS막, 오존 TEOS막 또는 PE-TEOS막일 수 있다. 그리고 나서, 상기 개구(350) 내부에 캐패시터 하부전극을 콘케이브형으로 형성하기 위하여 캐패시터 하부전극용 하부 도전막(360, 이하 '하부 도전막')을 개구(350)의 측벽 및 바닥면과 몰드산화막(340)의 상부표면 상에 형성한다. 하부 도전막(360)은 금속막, 금속 산화물막, 금속 질화물막 또는 이들의 조합막으로 형성할 수 있다. 상기 금속막은 Pt막, Ir막, Ru막, Rh막, Os막, W막 또는 Pd막일 수 있다. 상기 금속 산화물막은 RuO_2 막, IrO_2 막, $(Ca, Sr)RuO_3$ 막 또는 $LaSrCoO_3$ 막일 수 있다. 상기 금속 질화물막은 WN막 또는 TiN막일 수 있다.

상기와 같이 하부 도전막(360)은 다양한 물질막으로 형성될 수 있지만, 하부 도전막(360)을 Ru막, RuO₂막, SRO막 또는 BSRO막과 같이 Ru금속을 포함한 도전막으로 형성하는 것이 바람직하다. 그 이유는 다음과 같다.

최근 들어, 반도체 소자의 집적도가 향상됨에 따라서 반도체 메모리 소자의 캐패시터 유효면적이 작아지고 있다. 이에 따라, 기존의 산화막, 질화막 또는 이들의 복합막을 캐패시터 유전막으로 사용할 경우에는, 원하는 정전용량을 확보하기 어렵게 되었다. 따라서, 최근에는 산화막 또는 질화막에 비해 수십 배 내지 수백 배 이상의 유전율을 가지는 BST막, PLZT막 또는 PZT막과 같은 고유전체막 또는 강유전체막이 캐패시터 유전막으로 각광을 받고 있다.

그런데, 고유전체막 또는 강유전체막을 캐패시터 유전막으로 사용할 경우에는 캐패시터의 상부전극과 하부전극으로 사용할 수 있는 물질막이 제한되는데, 그 이유는 다음과 같다. 일반적으로 반도체 메모리 소자의 캐패시터를 형성하는 공정에 있어서, 고유전체막 또는 강유전체막으로 캐패시터 유전막을 형성하기 위해서는 캐패시터 하부전극 상에 고유전체막 또는 강유전체막을 증착하고 산소 분위기에서 결정화 열처리 단계를 진행하게 된다. 그런데, 상기 캐패시터 하부전극을 구성하는 물질은 경우에 따라서 캐패시터 유전막으로 증착된 고유전체막 또는 강유전체막과 반응하게 된다. 예를 들어, 캐패시터 하부전극을 폴리실리콘막으로 형성하게 되면 캐패시터 유전막으로 증착되는 BST막 또는 PZT막이, 캐패시터 유전막의 증착과정에서 폴리실리콘막과 반응을 하게 될 뿐만 아니라, 상기 결정화 열처리 단계에서 산화하게 된다. 그 결과, 캐패시터의 누설전류가 증가하게 되고, 캐패시터 유전막의 유전특성 또한 열화되어 유전율이 감소하게 된다.

따라서, 최근에는 산화 저항성이 클 뿐만 아니라 설사 산화가 된다고 하더라도 도전체의 성질을 가지며, 캐패시터 유전막으로 형성되는 고유전체막 또는 강유전체막과의 반응성이 작은 Pt, Ru, Ir 또는 이들의 산화물을 캐패시터의 전극물질로 이용하려는 연구가 활발하게 진행되고 있다. 그런데, Pr 또는 Ir 등의 금속은 캐패시터 전극형태의 형성을 위한 건식식각이 용이하지 않다. 이에 반하여, Ru 또는 RuO₂ 등의 Ru가 포함된 도전물질은 O₂ + Cl₂를 식각가스로 사용하는 건식식각 공정을 수행하게 되면 루세늄이 휘발성이 있는 RuO₄로 용이하게 변환되기 때문에, 캐패시터의 전극형태를 용이하게 형성할 수 있게 된다. 따라서, 상기와 같은 이유에서 본 발명에 따른 제 3 실시예에 있어서는 하부 도전막(360)을 Ru가 포함된 도전성 박막으로 형성하는 것이 바람직하다. 하지만, 하부 도전막(360)이 Ru금속을 포함한 도전성 박막만으로 한정되지 않는다는 것은 물론이다.

상기와 같이 하부 도전(360)막을 형성한 다음에는 하부 도전막(360)이 형성된 개구(350)를 매립하며, 개구(350)의 내부로 리세스된 회생산화막(370)을 형성한다. 상기 회생산화막(370)은 BPSG막, BSG막, PSG막, TEOS막, 오존 TEOS막 또는 PE-TEOS막으로 형성할 수 있다. 예를 들어, 리세스된 회생산화막(370)을 형성하기 위해서는 먼저, 개구(350)를 매립하는 회생산화막을 반도체 기판(240)의 전면에 형성한 후, 등방성 식각특성이 우수한 습식식각 공정을 진행하여 회생산화막의 상부표면을 몰드산화막(340)의 상부표면과 실질적으로 동일한 레벨로 리세스시키면 된다. 회생산화막의 상부표면을 몰드산화막(340)의 상부표면과 실질적으로 동일한 레벨로 리세스시키기 위하여 불산용액이나 BOE(Buffered Oxide Etchant)용액을 사용할 수 있다.

도 6의 II 부분을 확대 도시한 도 7을 참조하면, 개구(350)의 내부로 리세스된 회생산화막(370)의 상부표면 상에는 굴곡이 형성된다. 이처럼, 개구(350)의 내부로 리세스된 회생산화막(370)의 상부표면 상에 굴곡이 형성되면, 후속공정에서 화학적 방식에 의한 건식식각 방법을 사용하여 몰드산화막(340) 상의 하부 도전막(360)을 제거할 때 식각 결과물 상에 유발되는 표면 거칠기의 정도를 심화시킨다. 이에 대해서는 이하에서 상세하게 설명하기로 한다.

도 8을 참조하면, 반도체 메모리 소자의 단위셀별로 캐패시터의 하부전극을 분리하기 위하여 몰드산화막(340) 상에 형성된 하부 도전막(360)을 제거하는 단계를 진행하게 되는데, 이 때 본 발명에 따른 박막 식각방법이 적용된다.

먼저, 몰드산화막(340) 상에 형성된 하부 도전막(360)을 화학적 방식에 의한 건식식각 방법을 사용하여 제거한다. 상기 하부 도전막(360)이 Ru막, RuO₂막, SRO막 또는 BSRO막과 같이 Ru를 포함한 물질막인 경우에는 Cl₂가스+O₂가스를 식각가스로 이용하는 RIE방법 또는 MERIE방법을 사용하여 몰드산화막(340) 상에 형성된 하부 도전막(360)을 제거할 수 있다.

그런데, 화학적 방식에 의한 건식식각 방법을 사용하여 몰드산화막(340) 상에 형성된 하부 도전막(360)을 식각할 때에는, 개구(350)의 내부로 리세스된 회생산화막(370) 및 몰드산화막(340)은 식각저지막으로 이용된다. 물론, 화학적 방식에 의한 식각방법에 의하여 몰드산화막(340) 상의 하부 도전막(360)이 제거되기 때문에, 개구(350)의 내부로 한정된 하부 도전막(360)중 외부로 노출된 부분에는 표면 거칠기가 발생하게 된다. 상기와 같은 화학적 방식에 의한 건식식각 방법의 사용에서 유발되는 표면 거칠기 발생의 메카니즘은 본 발명의 제 1 실시예에서 설명한 바 있다.

한편, 몰드산화막(340) 상의 하부 도전막(360)에 대한 식각과정에서 식각저지막으로 기능하는 리세스된 회생산화막(370)의 상부표면에는 미세한 굴곡이 형성되어 있음은 도 7을 참조하여 이미 설명한 바 있다. 그런데, 본 발명자 등의 실험에 따르면, 리세스된 회생산화막(370) 상에 형성된 미세 굴곡은, 하부 도전막(360) 상에 발생하는 표면 거칠기의 정도를 심화시키는 것으로 확인되었다. 이러한 현상은 화학적 방식에 의한 건식식각 방법의 일 특성인 것으로 파악할 수 있다. 왜냐하면, 화학적 방식에 의한 식각과정에서는 식각 결과를 상부 표면의 토폴로지가 식각저지막의 상부표면 토폴로지를 따르기 때문이다. 즉, 몰드산화막(340) 상의 하부 도전막(360)을 화학적 방식에 의한 건식식각 방법을 사용하여 제거하는 단계에서는, 리세스된 회생산화막(370) 및 몰드산화막(340)이 식각저지막으로 사용된다. 그런데, 이미 설명한 바와 같이 리세스된 회생산화막(370) 상에는 미세한 굴곡이 형성되어 있어, 식각 결과 얻어지는 하부 도전막(360)의 상부표면 토폴로지가 리세스된 회생산화막(370)의 상부표면 토폴로지를 따르게 되는 것이다. 결국, 리세스된 회생산화막(370) 상에 형성된 미세 굴곡이, 화학적 방식에 의한 건식식각 방법을 사용함으로써 일반적으로 유발되는 표면 거칠기의 정도를 더욱 심화시키게 되는 것이다. 이에 따라, 하부 도전막(360) 상에 유발된 표면 거칠기를 제거하지 않은 상태에서 표면 거칠기가 유발된 하부 도전막(360) 상에 캐패시터 유전막을 형성하게 되면, 캐패시터 유전막과 하부 도전막(360) 사이의 계면 특성이 더욱 열화되어 캐패시터 누설전류를 더욱 증가시키게 될 것이다. 따라서, 하부 도전막(360) 상에 형성된 표면 거칠기를 제거할 필요성이 더욱 크게 대두되는 것이다.

도 9를 참조하면, 하부 도전막(360) 상에 형성된 표면 거칠기를 제거하기 위하여 물리적 방식의 건식식각 공정을 추가로 수행한다(화살표 참조). 그러면, 반도체 기판(240)의 전면이 스퍼터링 되어 개구(350) 내로 한정된 하부 도전막(360) 상의 표면 거칠기가 제거된다. 이처럼, 표면 거칠기가 물리적 방식에 의한 건식식각 공정에 의하여 제거되는 메카니즘은 본 발명의 제 1 실시예를 설명하면서 상세하게 개시한 바 있으며, 물리적 방식의 건식식각 공정에서 사용될 수 있는 식각가스도 본 발명의 제 1 실시예를 설명하면서 개시한 바 있다.

도 10을 참조하면, 상기와 같이 몰드산화막(340) 상의 하부 도전막(360)을 제거한 다음, 개구(350) 내의 리세스된 회생산화막(도 9의 370 참조)을 완전히 제거한다. 예를 들어, 개구(350) 내의 리세스된 회생산화막(도 9의 370 참조)의 제거단계는 불산용액 또는 BOE용액을 에천트로 사용하는 습식식각 공정을 수행하여 제거할 수 있다.

상기와 같이 리세스된 회생산화막(도 9의 370 참조)을 제거한 다음, 개구(350) 내에 한정된 하부 도전막(360) 상에 캐패시터 유전막(380)을 형성한다. 상기 캐패시터 유전막(380)은 TiO_2 막, Ta_2O_5 막, Al_2O_3 막, BaTiO_3 막, SrTiO_3 막, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 막, PbTiO_3 막, SiO_2 막, SiN 막, $(\text{Ba}, \text{Sr})\text{TiO}_3$ 막, $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ 막, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 막, $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 막 또는 이들의 조합막일 수 있다. 캐패시터 유전막(380)은 통상적인 방법으로 형성할 수 있는데, 캐패시터 유전막(380)을 형성하기 위한 구체적인 방법의 선택은, 상기에서 유전막 캐패시터 유전막(380)으로 나열한 물질의 종류에 따라서 따라진다. 예를 들어, 캐패시터 유전(380)막을 BST막 또는 PZT막으로 형성할 경우에는 졸겔(Sol-gel)방식을 사용하여 형성할 수 있다. 이처럼, 본 발명에 따른 박막 식각방법의 제 3 실시예에서는, 하부 도전막(360) 상에 유발되었던 표면 거칠기를 완전히 제거한 후 캐패시터 유전막을 형성하기 때문에 하부 도전막(360)과 캐패시터 유전막 사이의 계면특성 열화문제를 해결할 수 있게 된다. 따라서, 본 발명에 따른 박막 식각방법에 의하여 캐패시터 노드분리 공정을 진행하게 되면, 계면특성 열화에 따른 캐패시터 누설전류의 증가를 완화할 수 있게 된다.

한편, 캐패시터 유전막(380)을 형성한 이후에는 산소분위기 및 600°C 내지 900°C 사이의 온도에서 열처리를 수행할 수도 있다. 그러면, 상기 열처리를 의하여 캐패시터 유전막(380)이 조밀해져 캐패시터의 정전용량이 향상되며, 캐패시터의 누설전류 특성이 완화된다는 점이다.

상기와 같이 캐패시터 유전막(380)을 형성한 다음, 캐패시터 유전막(380)을 덮는 상부 도전막(390)을 반도체 기판(240)의 전면에 형성한다. 상부 도전막(390)은 통상적인 방법, 예컨대 스퍼터링 방법을 사용하여 형성할 수 있다. 상부 도전막(390)은 금속막, 금속 산화물막, 금속 질화물막 또는 이들의 조합막으로 형성할 수 있다. 상기 금속막은 Pt막, Ir막, Ru막, Rh막, W막, Os막 또는 Pd막일 수 있다. 상기 금속 산화물막은 RuO₂막, IrO₂막, (Ca, Sr)RuO₃막 또는 LaSrCoO₃막일 수 있다. 상기 금속 질화물막은 WN막 또는 TiN막일 수 있다. 이처럼, 캐패시터 유전막(380) 상에 상부 도전막(390)이 형성됨으로써, 반도체 메모리 소자의 캐패시터가 형성된다.

상기에서는 첨부한 도면을 참고하여 본 발명에 대한 바람직한 실시예들을 상세하게 설명하였다. 그러나, 본 발명은 이에 한정되는 것은 아니고, 본 발명의 기술적 사상의 범위 안에서 당 분야에서 통상의 지식으로 그 변형이나 그 개량이 가능하다.

발명의 효과

본 발명에 따른 박막 식각방법은 피식각 물질막 상에 표면 거칠기가 발생하는 것을 방지할 수 있다. 따라서, 본 발명에 따른 박막 식각방법이 반도체 메모리 소자의 캐패시터 제조에 있어서의 노드분리 공정에 적용될 경우에는, 하부 도전막 상에 표면 거칠기가 발생하는 것을 방지할 수 있기 때문에, 하부 도전막과 캐패시터 유전막 사이의 계면을 매끄럽게 만들어 줄 수 있다. 그 결과, 노드분리 공정에서 캐패시터 하부전극 상에 유발된 표면 거칠기에 의한 계면 특성의 열화로 캐패시터의 누설전류가 증가하는 것을 방지할 수 있게 된다.

(57) 청구의 범위

청구항 1.

박막을 반응성 건식식각 방법에 의하여 건식식각하는 단계; 및

반응성 건식식각 방법에 의하여 식각된 박막 상에 발생된 표면 거칠기를 제거하기 위해 물리적 건식식각 방법에 의하여 상기 식각된 박막을 추가로 건식식각하는 단계를 포함하는 것을 특징으로 하는 박막 식각방법.

청구항 2.

제 1 항에 있어서,

상기 박막은 반도체 메모리 소자의 노드분리 공정에서 형성되는 캐패시터 하부전극용 도전성 박막이고,

상기 박막을 반응성 건식식각 방법에 의하여 식각하는 단계 전에,

(a) 반도체 기판 상에 형성된 불순물 주입영역을 노출시키는 콘택홀을 구비한 층간절연막 패턴을 반도체 기판 상에 형성하는 단계;

(b) 상기 콘택홀 내에 도전성 물질을 채워 상기 불순물 주입영역을 콘택하는 도전성 플러그를 형성하는 단계;

(c) 상기 층간절연막 패턴 상에 상기 도전성 플러그를 노출시키는 개구를 구비한 몰드산화막 패턴을 형성하는 단계;

(d) 상기 개구의 측벽과 바닥면 및 상기 몰드산화막 패턴 상에 캐패시터 하부전극용 도전성 박막을 형성하는 단계; 및

(e) 상기 도전성 박막이 형성된 개구 내에 상기 몰드산화막 패턴의 상부표면과 실질적으로 동일한 레벨로 리세스된 희생산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 식각방법.

청구항 3.

제1항 또는 제2항에 있어서,

상기 박막은 루세늄(Ru)을 포함하는 박막이며,

상기 박막을 반응성 건식식각 방법에 의하여 건식식각하는 단계는 O_2 가스가 식각가스로 포함된 분위기하에서 수행되는 것을 특징으로 하는 박막 식각방법.

청구항 4.

제3항에 있어서,

상기 박막은 루세늄(Ru)막, 루세늄 산화막(RuO_2)막, SRO(Strontium Ruthenium Oxide)막, BSRO(Barium Strontium Ruthenium Oxide)막 또는 이들의 조합막인 것을 특징으로 하는 박막 식각방법.

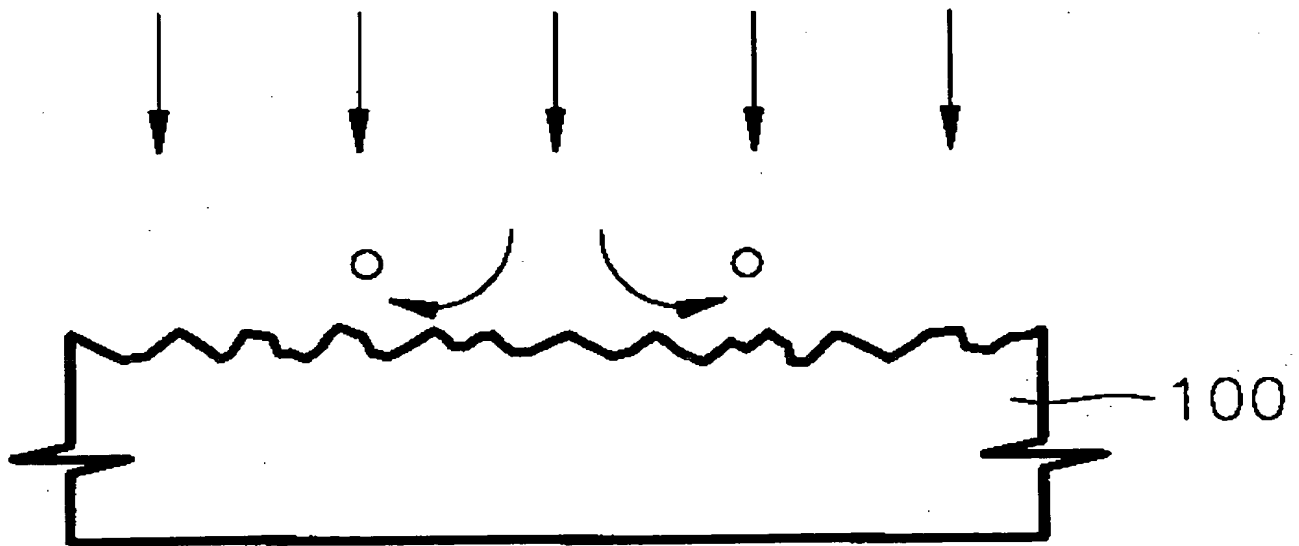
청구항 5.

제1항 또는 제2항에 있어서,

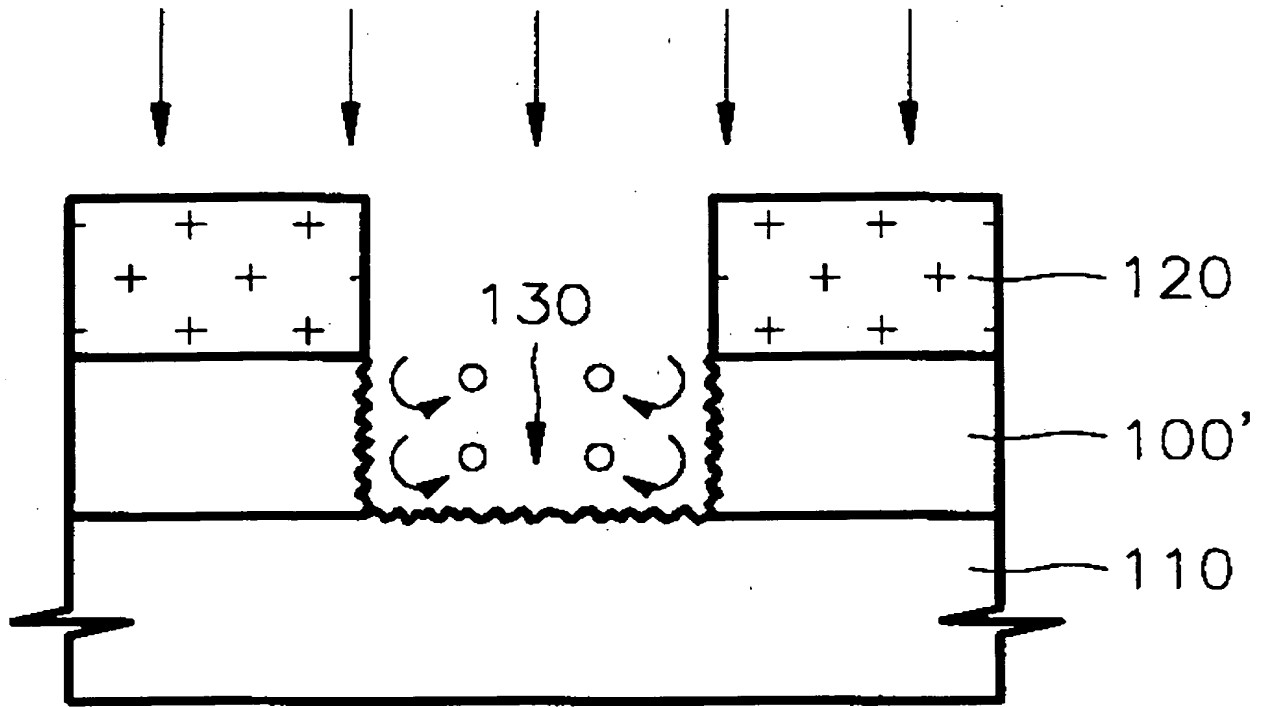
상기 박막을 물리적 방식에 의하여 건식식각하는 단계는 Ar가스가 포함된 분위기하에서 수행되는 것을 특징으로 하는 박막 식각방법.

도면

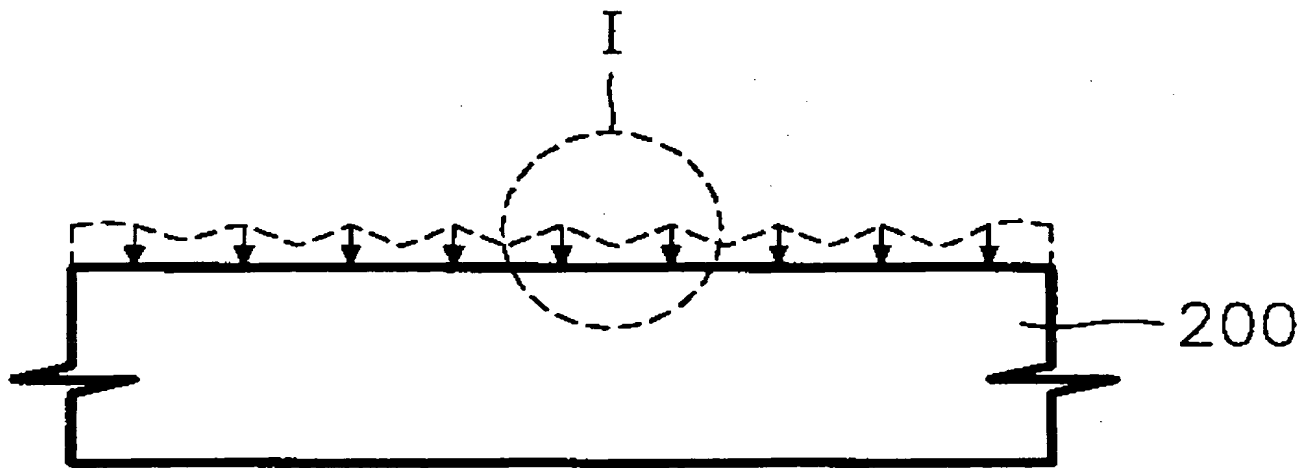
도면 1



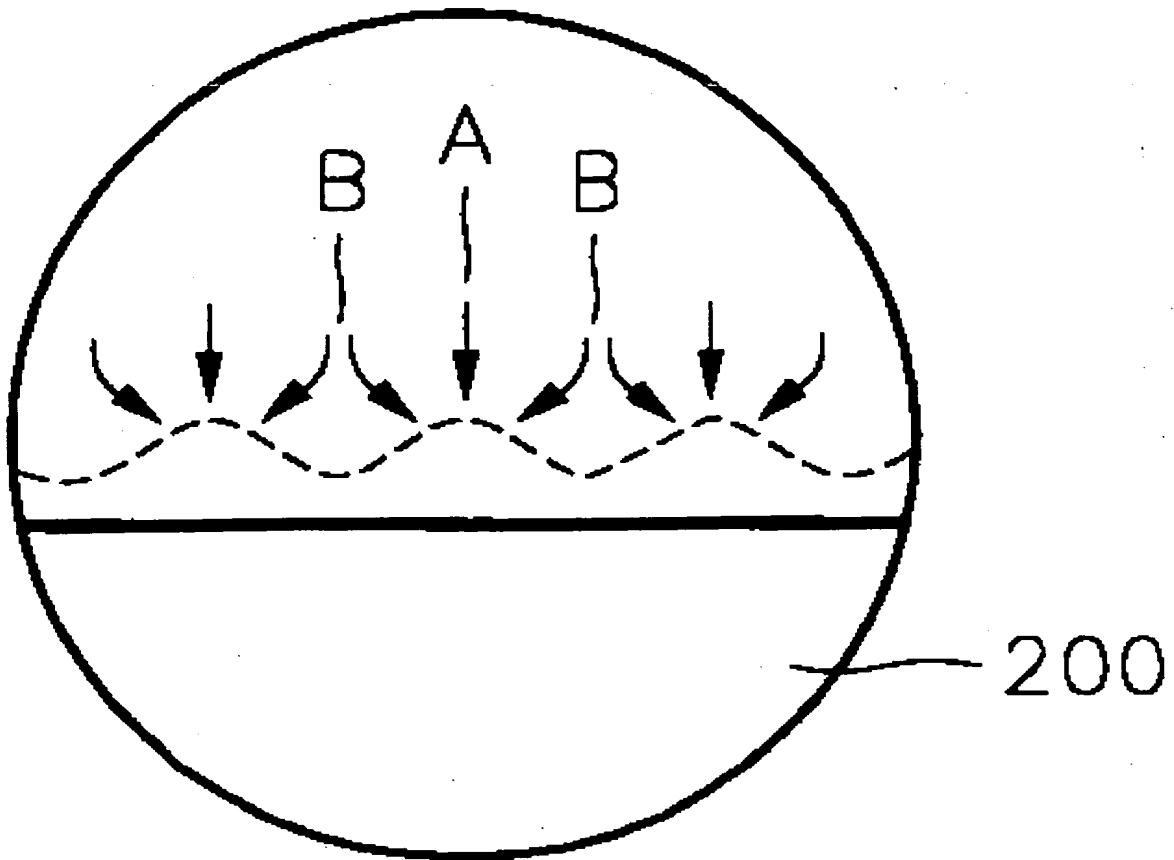
도면 2



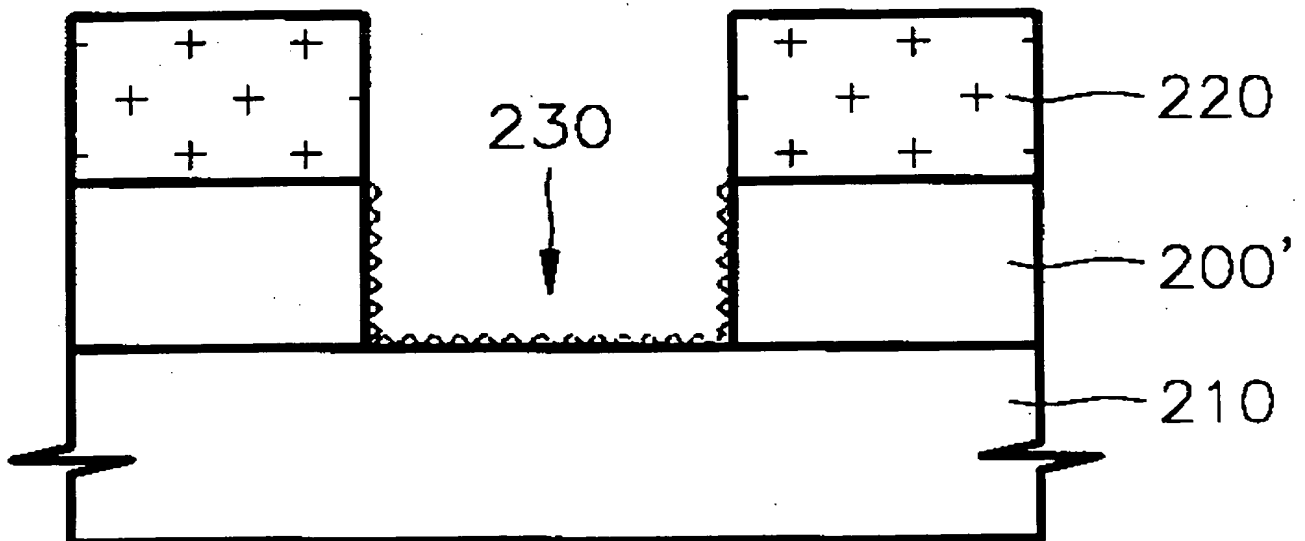
도면 3



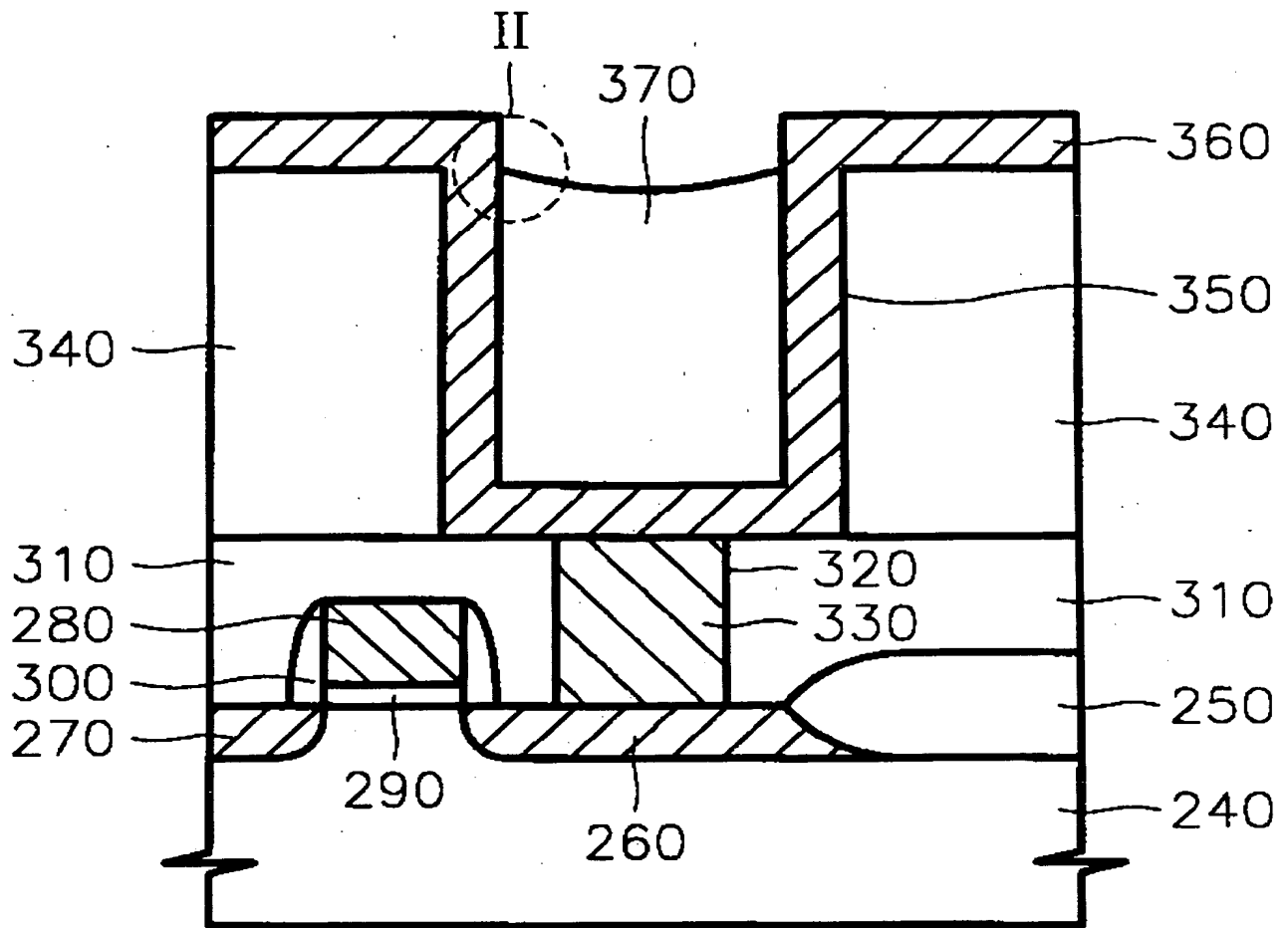
도면 4



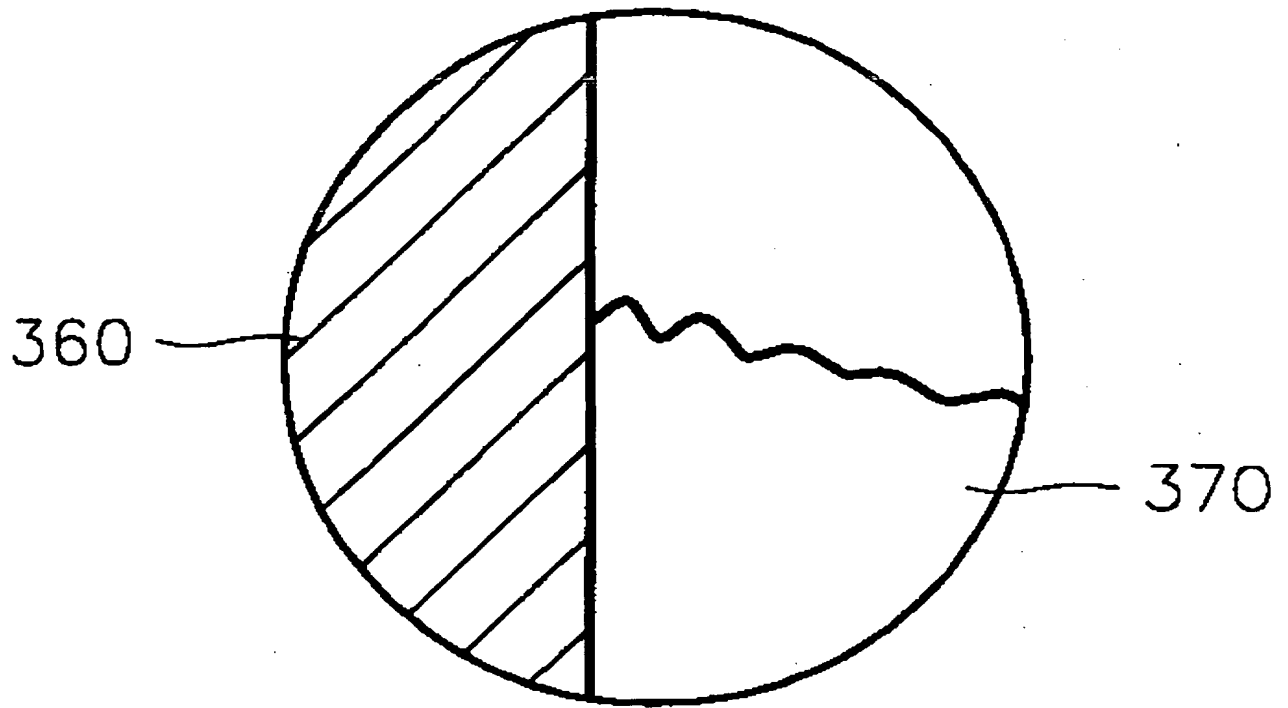
도면 5



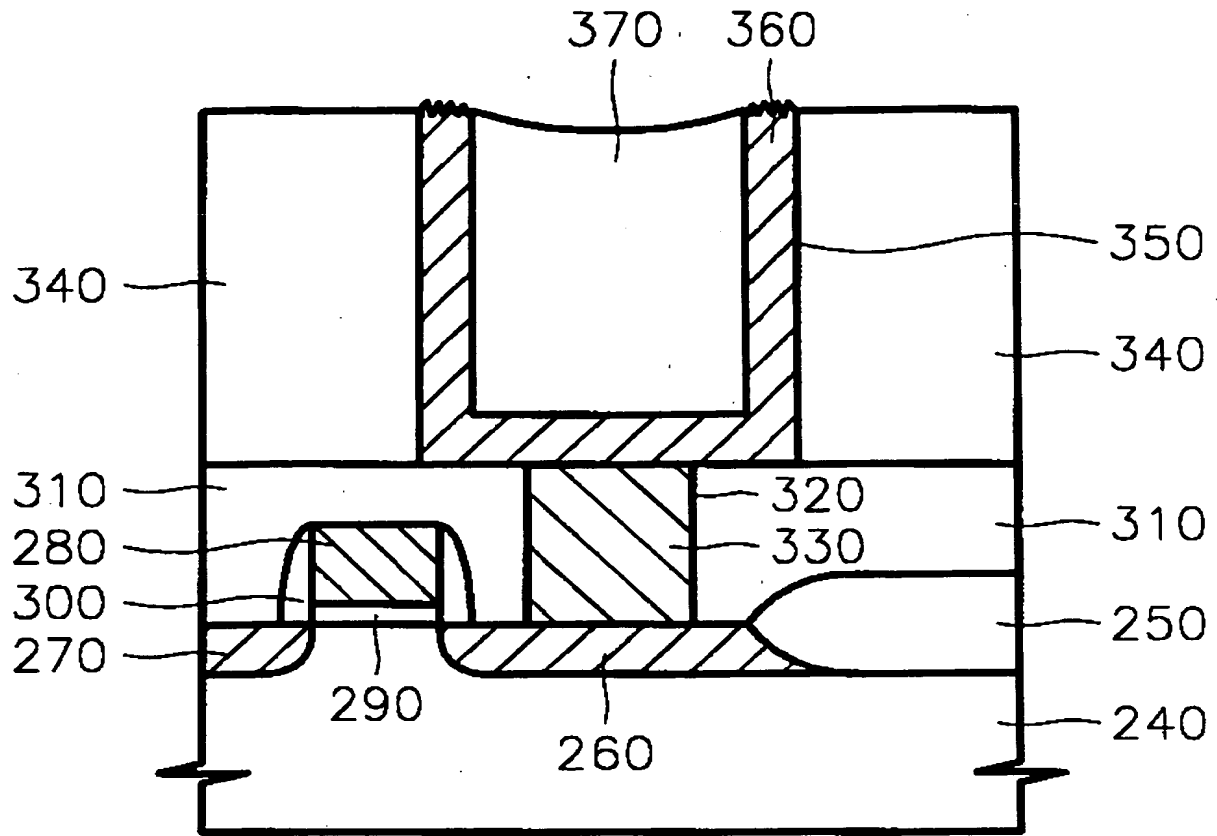
도면 6



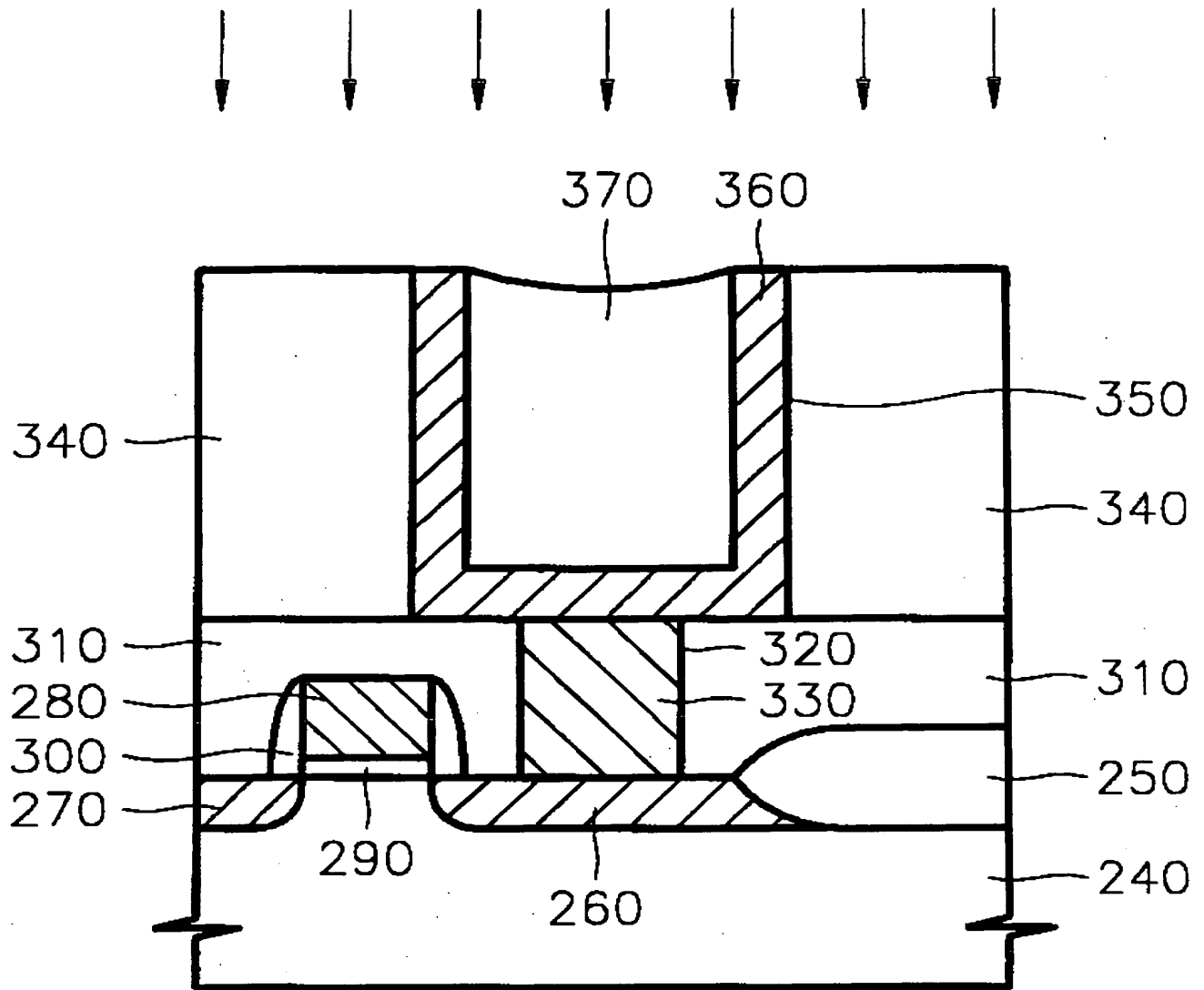
도면 7



도면 8



도면 9



도면 10

